

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
6 janvier 2005 (06.01.2005)

PCT

(10) Numéro de publication internationale  
**WO 2005/000733 A3**

(51) Classification internationale des brevets<sup>7</sup> : **B81B 7/00**,  
H01L 21/822, 21/02, 21/334, 23/00, 29/94

(21) Numéro de la demande internationale :  
PCT/FR2004/001565

(22) Date de dépôt international : 23 juin 2004 (23.06.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :  
03/07617 24 juin 2003 (24.06.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-  
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];  
31/33, rue de la Fédération, F-75752 Paris Cedex 15 (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **JOLY**,

Jean-Pierre [FR/FR]; 22, place Salvadore Allende,  
F-38120 Saint-Egrève (FR). **ULMER, Laurent** [FR/FR];  
55bis, rue de Stalingrad, F-38100 Grenoble (FR). **PARAT**,  
Guy [FR/FR]; 26, rue du Drac, F-38640 Claix (FR).

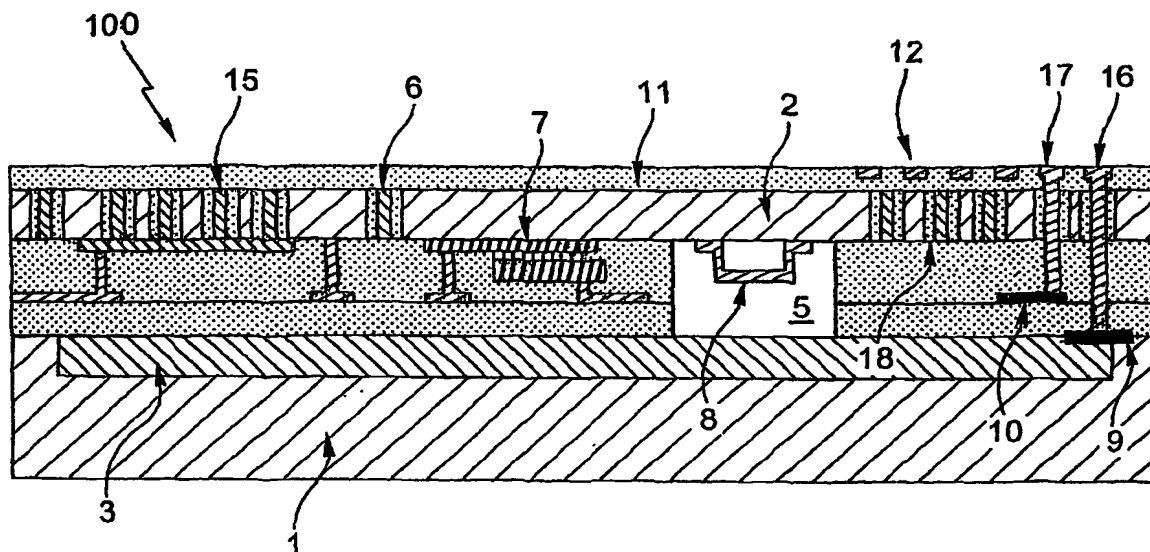
(74) Mandataire : **SANTARELLI**; 14, avenue de la Grande-  
Armée, B.P. 237, F-75822 Paris Cedex 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de  
protection nationale disponible) : AE, AG, AL, AM, AT,  
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,  
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,  
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,  
KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG,  
MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH,  
PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN,  
TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT ON HIGH PERFORMANCE CHIP

(54) Titre : CIRCUIT INTEGRE SUR PUCE DE HAUTES PERFORMANCES



(57) Abstract: The invention relates to a production method for a chip, comprising an integrated circuit with active components and passive components. Said method comprises the following steps: the production of a first substrate (1), containing at least one active component (3) of said active components and a second substrate (2), containing the critical components (7,8) of said passive components (in other words, the passive components whose embodiment directly on the substrate containing the active circuits and the metallic interconnections would cause problems), subsequently the two substrates (1) and (2) are joined by layer transfer. The active components (3) can be, for example, transistors. The critical passive components can for example be MEMS (8) and/or capacitors (7), particularly capacitors the dielectric material of which is a perovskite. The invention further relates to a chip (100) produced by the above method.

[Suite sur la page suivante]



(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publiée :**

— avec rapport de recherche internationale

— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

(88) Date de publication du rapport de recherche internationale:

25 août 2005

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

(57) **Abrége :** La présente invention concerne un procédé de fabrication de puce contenant un circuit intégré comprenant des composants actifs et des composants passifs. Ce procédé comprend les étapes suivantes : on réalise un premier substrat (1) contenant au moins un composant actif (3) parmi lesdits composants actifs, et un second substrat (2) contenant les composants « critiques » (7,8) parmi lesdits composants passifs (c'est à dire des composants passifs dont l'élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques poserait problème), puis l'on scelle les deux substrats (1) et (2) par report de couche. Ces composants actifs (3) peuvent par exemple être des transistors. Ces composants passifs « critiques » peuvent par exemple être des MEMS (8) et/ou des condensateurs (7), notamment des condensateurs dont le matériau diélectrique est une pérovskite. L'invention concerne également une puce (100) fabriquée au moyen d'un procédé selon l'invention.

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
6 janvier 2005 (06.01.2005)

PCT

(10) Numéro de publication internationale  
**WO 2005/000733 A2**

(51) Classification internationale des brevets<sup>7</sup> : **B81B 7/00**,  
H01L 21/822, 21/02, 21/334, 23/00, 29/94

(21) Numéro de la demande internationale :  
PCT/FR2004/001565

(22) Date de dépôt international : 23 juin 2004 (23.06.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :  
03/07617 24 juin 2003 (24.06.2003) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-  
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];  
31/33, rue de la Fédération, F-75752 Paris Cedex 15 (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **JOLY, Jean-Pierre** [FR/FR]; 22, place Salvadore Allende, F-38120 Saint-Egrève (FR). **ULMER, Laurent** [FR/FR]; 55bis, rue de Stalingrad, F-38100 Grenoble (FR). **PARAT, Guy** [FR/FR]; 26, rue du Drac, F-38640 Claix (FR).

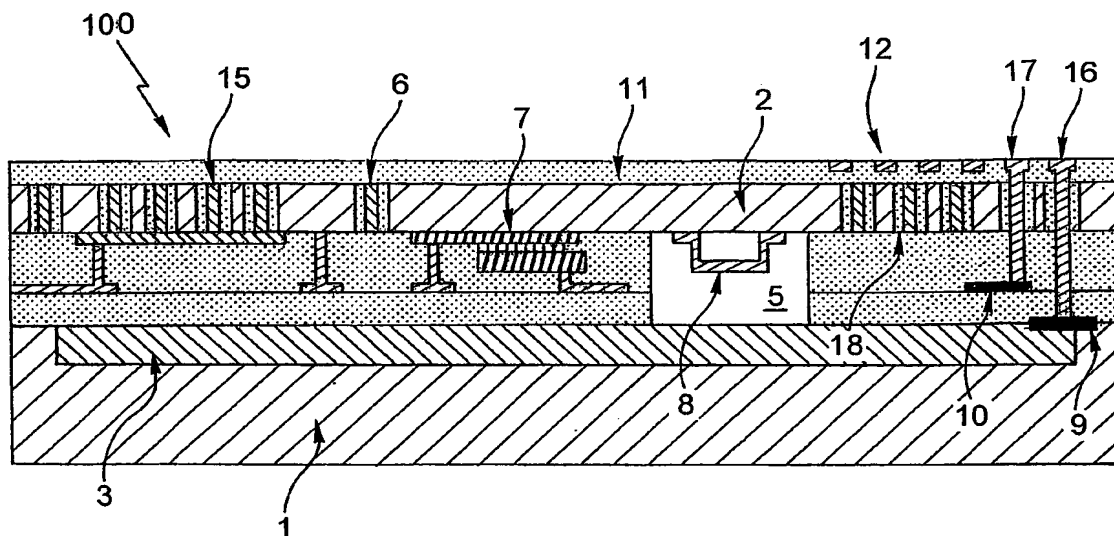
(74) Mandataire : **SANTARELLI**; 14, avenue de la Grande-Armée, B.P. 237, F-75822 Paris Cedex 17 (FR).

(81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: INTEGRATED CIRCUIT ON HIGH PERFORMANCE CHIP

(54) Titre : CIRCUIT INTEGRE SUR PUCE DE HAUTES PERFORMANCES



(57) Abstract: The invention relates to a production method for a chip, comprising an integrated circuit with active components and passive components. Said method comprises the following steps: the production of a first substrate (1), containing at least one active component (3) of said active components and a second substrate (2), containing the critical components (7,8) of said passive components (in other words, the passive components whose embodiment directly on the substrate containing the active circuits and the metallic interconnections would cause problems), subsequently the two substrates (1) and (2) are joined by layer transfer. The active components (3) can be, for example, transistors. The critical passive components can for example be MEMS (8) and/or capacitors (7), particularly capacitors the dielectric material of which is a perovskite. The invention further relates to a chip (100) produced by the above method.

[Suite sur la page suivante]

WO 2005/000733 A2



(84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publiée :**

— sans rapport de recherche internationale, sera republiée dès réception de ce rapport

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

(57) **Abrége :** La présente invention concerne un procédé de fabrication de puce contenant un circuit intégré comprenant des composants actifs et des composants passifs. Ce procédé comprend les étapes suivantes : on réalise un premier substrat (1) contenant au moins un composant actif (3) parmi lesdits composants actifs, et un second substrat (2) contenant les composants « critiques » (7,8) parmi lesdits composants passifs (c'est à dire des composants passifs dont l'élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques poserait problème), puis l'on scelle les deux substrats (1) et (2) par report de couche. Ces composants actifs (3) peuvent par exemple être des transistors. Ces composants passifs « critiques » peuvent par exemple être des MEMS (8) et/ou des condensateurs (7), notamment des condensateurs dont le matériau diélectrique est une pérovskite. L'invention concerne également une puce (100) fabriquée au moyen d'un procédé selon l'invention.